

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-093470

(43)Date of publication of application : 04.04.1997

(51)Int.Cl.

H04N 5/225
G03B 17/20
H04N 5/335

(21)Application number : 07-266209

(71)Applicant : ASAHI OPTICAL CO LTD

(22)Date of filing : 21.09.1995

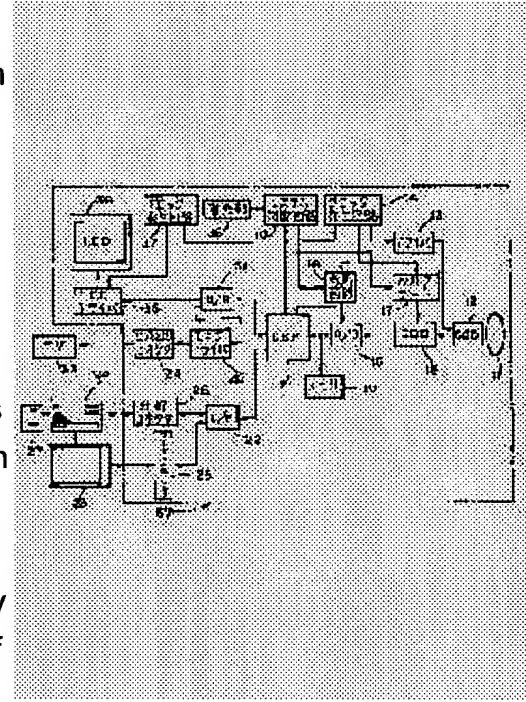
(72)Inventor : SAWANOBORI KEIJI

(54) MONITOR CONTROLLER FOR ELECTRONIC STILL CAMERA

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the power consumption when a moving image is displayed by providing a display means and an image control means in which the number of picture elements in the monitor-through mode is decreased more than the number of picture elements when a signal is recorded onto a recording medium.

SOLUTION: All picture element signals outputted from a CCD 12 are read in the recording mode and prescribed processing is made in a DSP circuit 21 or the like and the result is recorded in a memory card 23 as a still image. In the case of the monitor-through mode, not all image signals outputted from the CCD 12 are read by a CDS 15 but the signals are interleaved into nearly a half number of picture element signals. That is, the number of picture elements of a moving image per one pattern in the monitor-through mode is less than the number of picture elements per one pattern of still image recorded in the memory card 23. Then in the case of the monitor-through mode, the number of times of signal processing in an A/D converter 16 and the DSP circuit 21 is less than that in the recording mode and then the power consumption is reduced.



LEGAL STATUS

[Date of request for examination] 10.09.1999

[Date of sending the examiner's decision of rejection] 30.06.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Japan Patent Office is not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the electronic "still" camera which has the indicating equipment which displays the animation obtained through an image sensor.

[0002]

[Description of the Prior Art] What uses a display as a finder is conventionally known as an electronic "still" camera. A display is for example, a liquid crystal display element, and the animation obtained through an image sensor is expressed for a liquid crystal display element as real time. That is, by observing the screen of a liquid crystal display element, a photography person can determine the timing of shutter release and can record a desired still picture on a record medium.

[0003]

[Problem(s) to be Solved by the Invention] However, the conventional display is constituted so that the animation of the predetermined signal processing may be performed and carried out to the pixel signal outputted from an image sensor and it may be displayed on it, and the number of pixels in one screen is the same as the time of recording a still picture on a record medium. Therefore, power consumption equivalent to the time of record for actuation of an indicating equipment was needed, and there was a problem that the life of the battery which is a power supply became short.

[0004] This invention solves the above trouble and it aims at reducing the power consumption in the display of the animation by the display used as a finder.

[0005]

[Means for Solving the Problem] A monitor control unit of an electronic "still" camera concerning this invention is equipped with a display which operates with monitor through mode displayed on a screen by using as an animation a pixel signal outputted from an image sensor, and an image control means which controls the number of pixels in one screen of a still picture and an animation, and this image control means is characterized by to make it fewer than the number of pixels when recording the number of pixels at the time of monitor through mode on a record medium.

[0006] An image control means is equipped with a pixel signal-processing means which carries out sample hold of a part of pixel signal outputted from an image sensor, and carries out A/D conversion based on pulse signals fewer than a clock signal outputted from a clock generation circuit which generates a clock signal a fixed period, for example, and this clock generation circuit.

[0007] A pixel signal-processing means may be equipped with a pulse gate circuit which passes a part of clock signal. In this configuration, a gate gap of a pulse gate circuit is the magnitude of a degree to which a band of spatial frequency of an image formed by pixel signal by which reading appearance is carried out from an image sensor does not become lower than a band of spatial frequency of an image which can be displayed with a display preferably. A pixel signal-processing means may be equipped with a frequency divider which generates a pulse signal of low frequency rather than this clock signal by carrying out dividing of the clock signal. In this configuration, the number of dividing of a frequency divider is the magnitude of a degree to which a band of spatial frequency of an image formed by pixel signal by which reading appearance is carried out from an image sensor does not become lower than a band of spatial frequency of an image which can be displayed with a display preferably.

[0008] A display has for example, a liquid crystal display element, and the number of display dots of a liquid crystal display element is set up so that spatial frequency of an image which can be displayed by liquid crystal display element may become lower than highest spatial frequency that can be picturized with an image sensor.

[0009]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained with reference

to a drawing. Drawing 1 is the block diagram of electronic "still" camera SV equipped with the monitor control unit which is the 1st operation gestalt of this invention.

[0010] The system control circuit 10 is a microcomputer and controls whole electronic "still" camera SV. This electronic "still" camera SV can operate by monitor through mode and the recording mode. In monitor through mode, the animation obtained through the image sensor is expressed as real time by the liquid crystal display element, and a still picture is recorded on record media, such as a memory card, in a recording mode.

[0011] The light which passed along the optical block 11 which consists of a taking lens etc. is led to the light-receiving side of CCD (solid-state image sensor) 12, and the pixel signal corresponding to a photographic subject image generates it in the photodiode which constitutes the light-receiving side of CCD 12 by this. A complementary color check color filter is prepared in the light-receiving side of CCD 12, namely, the pixel signal corresponding to a Magenta, green, yellow, and cyanogen is outputted from CCD 12.

[0012] Driving CCD 12 by the CCD driver 13, the CCD driver 13 operates based on the clock signal outputted a fixed period from the 1st clock generation circuit 14. That is, synchronizing with this clock signal, a pixel signal is outputted from CCD 12 and it is inputted into the correlation duplex sampling sample hold circuit 15.

[0013] In the CDS circuit 15, predetermined signal processing, such as removal of a reset noise, is performed to a pixel signal, and sample hold of it is carried out and it is outputted to A/D converter 16. The CDS circuit 15 performs signal processing according to the sample hold (S/H) pulse signal outputted from the pulse gate circuit 17. Although the S/H pulse signal synchronizes with the pulse signal outputted from the clock generation circuit 14 in the recording mode, it is generated in monitor through mode by passing a part of pulse signal outputted from the clock generation circuit 14. A/D converter 16 performs A/D conversion according to the A/D clock signal outputted from a frequency divider 18. Although the A/D clock signal synchronizes with the pulse signal outputted from the clock generation circuit 14 in the recording mode, it is acquired by carrying out dividing of the pulse signal outputted from the clock generation circuit 14 in monitor through mode, and is a pulse signal of low frequency from this pulse signal.

[0014] Thus, the CDS circuit 15, A/D converter 16, the pulse gate circuit 17, and a frequency divider 18 constitute the pixel signal-processing means which carries out sample hold of a part of pixel signal outputted from CCD 12, and carries out A/D conversion in monitor through mode based on pulse signals fewer than the clock signal outputted from the clock generation circuit 14. Moreover, this pixel signal-processing means and the clock generation circuit 14 constitute the image control means which controls the number of pixels in one screen of a still picture and an animation in a recording mode and monitor through mode.

[0015] The pixel signal changed into the digital signal in A/D converter 16 is stored in an image memory 19. The image memory 19 has the storage capacity which can store the pixel signal for the 1 field.

[0016] It is inputted into the video signal processing (DSP) circuit 21, the complementary color and primary color conversion, a white balance, gamma processing, etc. are processed, and the pixel signal by which reading appearance was carried out from the image memory 19 is changed into the primary signal of R signal, G signal, and B signal. Signal processing in the DSP circuit 21 is performed according to the DSP clock signal outputted from a frequency divider 18, and this DSP clock signal is outputted corresponding to an A/D clock signal.

[0017] The primary signal outputted from the DSP circuit 21 is inputted into the interface (I/F) circuit 22, and is changed into the format for processing in the computer 24 formed in the exterior of this electronic "still" camera SV for recording on a memory card 23. The memory card 23 is removable to the card connector 25, and its computer 24 is removable to the external connector 26. That is, the outputted primary signal is transmitted to a memory card 23 or a computer 24 through connectors 25 and 26 from the I/F circuit 22. In a recording mode, the signal with which the still picture was recorded on the memory card 23 grade, and was processed in the computer 24 on the other hand is recordable on a memory card 23 or a hard disk 27.

[0018] Moreover, the outputted primary signal is changed into an analog signal in D/A converter 31 from the DSP circuit 21. In the monitor driver 32, the primary signal of an analog is changed into the signal of NTSC system, and is outputted to the television 33 formed outside through the video outlet connector 34. Moreover, the primary signal of an analog is outputted to the liquid crystal display element 36 through the LCD driver 35. The liquid crystal display element 36 operates in monitor through mode, and expresses the animation outputted from CCD 12 on a screen as real time. The LCD driver 35 operates based on the clock signal outputted a fixed period from the 2nd clock generation circuit 37, and, thereby, the animation of predetermined image quality is displayed on the liquid crystal display element 36. In addition, in this operation gestalt, the number of dots per screen of a liquid crystal display element is set up so that the spatial frequency of the image which can be displayed by this liquid crystal display element may become lower than the highest spatial frequency that can be picturized by CCD 12.

[0019] The 1st and 2nd clock generation circuits 14 and 37 operate according to the command signal outputted from the system control circuit 10, and output the clock signal of predetermined frequency.

[0020] A control unit 38 is connected to the system control circuit 10, and the circuit changing switch for performing a setup of a release carbon button or monitor through mode, and a recording mode etc. is prepared in the control unit 38. By half-push [a release carbon button], photometry and ranging actuation are performed and record actuation to the memory card 23 of a video signal is performed by all push.

[0021] Drawing 2 shows the array of each color filter element of the complementary color check color filter 41 established on the light-receiving side of CCD12. In this color filter 41, each color filter element which makes a Magenta (Mg), green (G), yellow (Ye), and cyanogen (Cy) penetrate is arranged regularly. That is, 3 pixels of Mg, Ye, and Cy which have horizontal and the spectral characteristic from which the complementary color other than G differs in a total of 4 pixels which arranges 2 pixels in perpendicularly at a time, and grows into it, respectively surrounded, for example by the dashed line C1 are prepared.

[0022] Reading appearance of the pixel signal generated in CCD12 is carried out from CCD12 by the so-called two-line coincidence read-out method so that it may state with reference to drawing 4. In the recording mode which records a still picture on a memory card 23, although reading appearance of all the pixel signals is carried out from CCD12, as the liquid crystal display element 36 is shown in drawing 3 in the monitor through mode used as a finder, as compared with the magnitude of the band B1 of the spatial frequency of the image obtained by CCD12, band B-2 of the spatial frequency which can be displayed by the liquid crystal display element 36 is about 1/2. Therefore, the abbreviation one half of the picture signal outputted from CCD12 is thinned out.

[0023] Drawing 4 shows the pixel signal outputted by the two-line coincidence read-out method from CCD12. The pixel signal of Mg1 and Ye1 located in a line with a lengthwise direction in drawing is added mutually, is outputted from CCD12, and similarly, the pixel signal of G1 and Cy1 on a par with a lengthwise direction is also added mutually, and it is outputted from CCD12. In the 1st line H1, among the pixel signals of Mg and G, although reading appearance of the odd-numbered signal (sign J1) is carried out from CCD12, reading appearance of the even-numbered signal (sign J2) is not thinned out and carried out. Similarly, in the 2nd line H2, although reading appearance of the odd-numbered signal (sign K1) is carried out from CCD12 among the pixel signals of Ye and Cy, reading appearance of the even-numbered signal (sign K2) is not carried out.

[0024] Drawing 5 is a timing chart in monitor through mode and a recording mode which shows each signal.

[0025] From CCD12, synchronizing with the clock signal outputted from the clock generation circuit 14, Mg1 of the 1st line and Ye1 of the 2nd line are added and outputted, and, subsequently G1 of the 1st line and Cy1 of the 2nd line are added and outputted. They are the addition signal of Mg2 and Ye2, the addition signal of G2 and Cy2, the addition signal of Mg3 and Ye3, and the addition signal of G3 and Cy3 like the following... It is outputted in order.

[0026] the pulse signal to which a S/H pulse signal is outputted from the clock generation circuit 14 by the recording mode in the pulse gate circuit 17 -- synchronizing -- time of day t1, t2, t3, and t4 -- in ..., although outputted at equal intervals monitor through mode -- time of day t3, t4, t7, and t8 -- the S/H pulse signal generated in ... thins out -- having -- time of day t1, t2, t5, and t6 -- only the S/H pulse signal generated in ... is outputted.

[0027] In the CDS circuit 15, the sample of the pixel signal then inputted from CCD12 is carried out by the standup of a S/H pulse signal, and it is held in falling of a S/H pulse signal. That is, in monitor through mode, sample hold of the addition signal of Mg1 and Ye1 is carried out between time of day t1 and time of day t2, and sample hold of the addition signal of G1 and Cy1 is carried out between time of day t2 and time of day t5. Moreover, sample hold of the addition signal of Mg3 and Ye3 is carried out between time of day t5 and time of day t6, and sample hold of the addition signal of Cy3 is carried out to G3 between time of day t6 and time of day t9.

[0028] In A/D converter 16, A/D conversion of the pixel signal of Mg1 and Ye1 grade outputted is carried out synchronizing with the standup of an A/D clock signal from the CDS circuit 15. An A/D clock signal is time of day t1, t2, t3, and t4, as a sign S1 shows in a recording mode... It is time of day t1, t3, t5, and t7 so that a sign S2 may show in monitor through mode, although it starts immediately after... It starts immediately after. that is, an A/D clock signal is outputted by the recording mode corresponding to the pulse signal of the clock generation circuit 14 -- having -- monitor through mode -- one half of the frequency of the pulse signal of the clock generation circuit 14 -- having -- **** -- this timing -- the addition signal of Mg1 and Ye1, the addition signal of G1 and Cy1, the addition signal of Mg3 and Ye3, and the addition signal of G3 and Cy3 -- A/D conversion of ... is carried out. In addition, the addition signal of Mg1 and Ye1 is outputted from A/D converter 16 after time of day t5, and the addition signal of G1 and Cy1 is outputted from A/D converter 16 after time of day t7.

[0029] In the DSP circuit 21, processing of the complementary color, primary color conversion, etc. is performed synchronizing with the DSP clock signal outputted from a frequency divider 18. In a recording mode, a DSP clock signal starts according to the A/D clock signal S1 so that a sign S3 may show, but in monitor through mode, it starts according to the A/D clock signal S2 so that sign S4 may show. That is, the

output timing of a DSP clock signal supports the A/D clock signal, and even if it is any of monitor through mode and a recording mode, corresponding to A/D conversion, processing is performed in the DSP circuit 21. [0030] Thus, although reading appearance of all the pixel signals outputted from CCD12 is carried out, and predetermined processing is performed to them in DSP circuit 21 grade and they are recorded on a memory card 23 as a still picture with this operation gestalt at the time of a recording mode At the time of monitor through mode, reading appearance of not all the pixel signals outputted from CCD12 is carried out by CDS15, the pixel signal of abbreviation one half is thinned out and reading appearance is not carried out by CDS15. That is, there are few pixels per screen of the animation at the time of monitor through mode than the number of pixels of one screen of the still picture recorded on a memory card 23.

[0031] Therefore, at the time of monitor through mode, the count of signal processing in A/D converter 16 and the DSP circuit 21 becomes less than the time of a recording mode, power consumption decreases by this, and the life of the battery which is the power supply of electronic "still" camera SV becomes long.

[0032] The number of pixels per screen of CCD12 is 410,000 here, and reading appearance of the pixel signal is carried out by NTSC system, and the number of dots of one horizontal line of the screen of the liquid crystal display element 36 is 280, and it is assumed that a dot array is a delta array of R, G, and B. In this case, the horizontal resolution of the liquid crystal display element 36 becomes [3/4x2/3x280=140] (since the delta array has multiplied by two thirds), and x effective level pixels of CCD12 required to obtain 140 are set to 187 from the following formula (1).

$$52.7\text{microsec}/(1/fxx2) \times 3 / 4 = xx3 / 4 = 140 \dots (1)$$

However, 52.7microsec It is the time amount of 1 horizontal-scanning period, and fx is 1.77MHz in a sampling frequency. On the other hand, the number of effective level pixels of CCD12 is 768, and is about 4 times the liquid crystal display element 36. Therefore, if the signal deterioration resulting from the signal-processing system of DSP circuit 21 grade is taken into consideration, even if it will thin out the pixel signal outputted from CCD12 to 1/3 by the CDS circuit 15, the image quality of the display image in the liquid crystal display element 36 is equivalent to the image quality of the display image when not thinning out a pixel signal in the CDS circuit 15 acquired by CCD12.

[0033] As mentioned above, infanticide of a pixel signal is performed based on an operation of the pulse gate circuit 17, i.e., control of the gate gap of the pulse gate circuit 17, and the number of dividing of a frequency divider 18 is controlled so that the timing of the A/D conversion of A/D converter 16 and signal processing of the DSP circuit 21 agrees to the output timing of the CDS circuit 15. That is, the gate gap of the pulse gate circuit 17 and the number of dividing of a frequency divider 18 are the magnitude of the degree to which the band of the spatial frequency of the image formed by the pixel signal by which reading appearance is carried out from CCD12 does not become lower than the band of the spatial frequency of the image displayed by the liquid crystal display element 36.

[0034] Next, the 2nd operation gestalt is explained with reference to drawing 6 and drawing 7. With the 2nd operation gestalt, the color filter 42 prepared on the light-receiving side of CCD12 has the color filter element of an array as shown in drawing 6. This color filter 42 is a stripe mold, and red (R), green (G), and each filter element of blue (B) are arranged in this order. In drawing, each filter element of R, G, and B is prepared in each filter element bottom of R, G, and B, respectively. That is, the train of the filter element of R, the train of the filter element of G, and the train of the filter element of B are prepared in this order.

[0035] Drawing 7 is a timing chart in monitor through mode and a recording mode which shows each signal.

[0036] CCD12 has the configuration to which a pixel signal is outputted one line at a time, and the pixel signal of R, G, and B is outputted from CCD12 by turns. these signals -- here -- R1, G1, B1, R2, G2, B-2, R3, G3, and B3 -- it considers as ...

[0037] the pulse gate circuit 17 -- setting -- the 1st S/H pulse signal -- a recording mode -- the pulse signal of the clock generation circuit 14 -- synchronizing -- time of day t1, t2, t3, and t4 -- although outputted in ... monitor through mode -- time of day t1, t2, t3, t7, t8, and t9 -- it is outputted in ... That is, in monitor through mode, a S/H signal is thinned out in time of day t4, t5, and t6.

[0038] In the CDS circuit 15, between G1, time of day t3, and time of day t7, sample hold of B1 is carried out between R1, time of day t2, and time of day t3, and it is outputted between time of day t1 and time of day t2 at the time of monitor through mode. They are G3, time of day t9, and time of day t10 similarly between R3, time of day t8, and time of day t9 between time of day t7 and time of day t8. In between, sample hold of B3 is carried out, and it is outputted.

[0039] The sample hold circuit is further established in the CDS circuit 15. this -- a sample hold circuit -- **** - - a pulse -- a gate circuit -- 17 -- from -- outputting -- having -- the -- two -- S/H -- a pulse signal -- being based -- sample hold -- carrying out -- having -- the -- two -- S/H -- a pulse signal -- a recording mode -- **** -- time of day -- t -- one -- ' -- t -- two -- ' -- t -- three -- ' -- t -- four -- ' ... setting -- outputting -- having -- a monitor --

through -- the mode -- **** -- time of day -- t -- one -- ' -- t -- two -- ' -- t -- three -- ' -- t -- seven -- ' -- t -- eight -- ' ... setting -- outputting -- having . Namely, -- a monitor -- through -- the mode -- *** -- time of day -- t -- three -- ' -- t -- five -- ' -- t -- six -- ' -- t -- nine -- ' It sets and the 2nd S/H signal is thinned out. In addition, the 2nd S/H pulse signal starts synchronizing with falling of the 1st S/H pulse signal.

[0040] The pixel signal (R1, G1, B1, R3, G3, B3 ...) by which sample hold was carried out according to the 1st S/H pulse signal in the CDS circuit 15 Sample hold is carried out in a sample hold circuit, and they are time-of-day t1' and time-of-day t2' in monitor through mode. They are R1 and time-of-day t2' time-of-day t4' in between. They are G1, time-of-day t4', and time-of-day t7' in between. B1 is outputted from the CDS circuit 15 in between.

[0041] In A/D converter 16, A/D conversion of the pixel signal of R1 and G1 which are outputted, and B1 grade is carried out synchronizing with the standup of an A/D clock signal from the CDS circuit 15. A/D -- a clock signal -- a recording mode -- *** -- a sign -- T -- one -- being shown -- as -- time of day -- t -- one -- ' -- t -- two -- ' -- t -- three -- ' -- t -- four -- ' .. immediately after -- starting -- although -- a monitor -- through -- the mode -- *** -- a sign -- T -- two -- being shown -- as -- time of day -- t -- one -- ' -- t -- three -- ' -- t -- five -- ' -- t -- seven -- ' .. immediately after -- starting . that is, an A/D clock signal is outputted by the recording mode corresponding to the pulse signal of the clock generation circuit 14 -- having -- monitor through mode -- one half of the frequency of the pulse signal of the clock generation circuit 14 -- having -- *** -- this timing -- R1, G1, and B1 -- A/D conversion of ... is carried out.

[0042] In the DSP circuit 21, processing of a white balance, edge enhancement, etc. is performed synchronizing with the DSP clock signal outputted from a frequency divider 18. A DSP clock signal starts corresponding to the A/D clock signals T1 and T2 so that sign T3 and T four may show. That is, the output timing of a DSP clock signal supports the A/D clock signal, and even if it is any of monitor through mode and a recording mode, corresponding to A/D conversion, processing is performed in the DSP circuit 21.

[0043] The same effect as the 1st operation gestalt is acquired also according to the 2nd operation gestalt.

[0044]

[Effect of the Invention] As mentioned above, according to this invention, the power consumption in the display of the animation by the indicating equipment used as a finder can be reduced, and the life of the power supply of an electronic "still" camera can be lengthened.

[Translation done.]

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平9-93470

(43)公開日 平成9年(1997)4月4日

(51) Int. Cl. 6
H 04 N 5/225
G 03 B 17/20
H 04 N 5/335

識別記号

庁内整理番号

F I

H 04 N 5/225
G 03 B 17/20
H 04 N 5/335

技術表示箇所
B
A
Z

審査請求 未請求 請求項の数7 FD (全7頁)

(21)出願番号

特願平7-266209

(22)出願日

平成7年(1995)9月21日

(71)出願人 000000527

旭光学工業株式会社

東京都板橋区前野町2丁目36番9号

(72)発明者 沢登 啓治

東京都板橋区前野町2丁目36番9号 旭光学
工業株式会社内

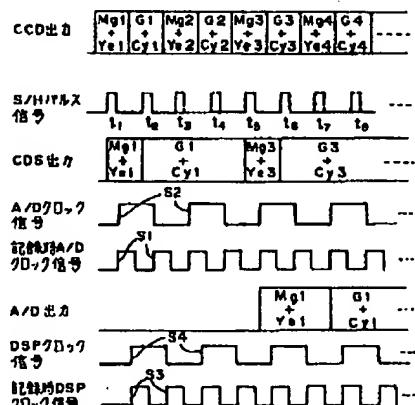
(74)代理人 弁理士 松浦 孝

(54)【発明の名称】電子スチルカメラのモニタ制御装置

(57)【要約】

【課題】 ファインダとして使用される表示装置による動画の表示における消費電力を削減する。

【解決手段】 CCDから出力される画素信号は、時刻 t_1 ではMg 1とYe 1の加算信号、時刻 t_2 ではG 1とCy 1の加算信号、時刻 t_3 ではMg 2とYe 2の加算信号、時刻 t_4 ではG 2とCy 2の加算信号、時刻 t_5 ではMg 3とYe 3の加算信号である。CCDから出力される画素信号を動画として画面に表示するモニタスルーモードにおいて、CDS回路では、時刻 t_1 、 t_2 においてサンプルホールド信号が入力され、時刻 t_3 、 t_4 ではサンプルホールド信号は入力されない。したがってCDS回路からは、時刻 t_1 と時刻 t_2 の間はMg 1とYe 1の加算信号が输出され、時刻 t_3 と時刻 t_4 の間はG 1とCy 1の加算信号が输出される。すなわちMg 2、Ye 2、G 2、Cy 2の画素信号は間引かれる。



【特許請求の範囲】

【請求項1】 撮像素子から出力される画素信号を静止画として記録媒体に記録することができる電子スチルカメラであって、前記撮像素子から出力される画素信号を動画として画面に表示するモニタスルーモードにより作動する表示装置と、前記静止画および動画の1画面における画素数を制御する画像制御手段とを備え、この画像制御手段は、前記モニタスルーモード時の画素数を、前記記録媒体に記録する時の画素数よりも少なくすることを特徴とする電子スチルカメラのモニタ制御装置。

【請求項2】 前記画像制御手段が、一定の周期でクロック信号を発生するクロック発生回路と、このクロック発生回路から出力されるクロック信号よりも少ないパルス信号に基づいて、前記撮像素子から出力される画素信号の一部をサンプルホールドしてA/D変換する画素信号処理手段とを備えることを特徴とする請求項1に記載の電子スチルカメラのモニタ制御装置。

【請求項3】 前記画素信号処理手段が前記クロック信号の一部のみを通過させるパルスゲート回路を備えることを特徴とする請求項2に記載の電子スチルカメラのモニタ制御装置。

【請求項4】 前記パルスゲート回路のゲート間隔が、前記撮像素子から読み出される画素信号により形成される画像の空間周波数の帯域が前記表示装置により表示可能な画像の空間周波数の帯域よりも低くならない程度の大きさであることを特徴とする請求項3に記載の電子スチルカメラのモニタ制御装置。

【請求項5】 前記画素信号処理手段が、前記クロック信号を分周することにより、このクロック信号よりも低周波数のパルス信号を発生する分周回路を備えることを特徴とする請求項2に記載の電子スチルカメラのモニタ制御装置。

【請求項6】 前記分周回路の分周数が、前記撮像素子から読み出される画素信号により形成される画像の空間周波数の帯域が前記表示装置により表示可能な画像の空間周波数の帯域よりも低くならない程度の大きさであることを特徴とする請求項5に記載の電子スチルカメラのモニタ制御装置。

【請求項7】 前記表示装置が液晶表示素子を有し、この液晶表示素子により表示可能な画像の空間周波数が前記撮像素子により撮像可能な最も高い空間周波数よりも低くなるように、前記液晶表示素子の表示ドット数が設定されていることを特徴とする請求項1に記載の電子スチルカメラのモニタ制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、撮像素子を介して得られる動画を表示する表示装置を有する電子スチルカメラに関する。

【0002】

【従来の技術】 従来電子スチルカメラとして、表示装置をファインダとして使用するものが知られている。表示装置は例えば液晶表示素子であり、液晶表示素子には、撮像素子を介して得られる動画がリアルタイムで表示される。すなわち撮影者は、液晶表示素子の画面を観察することによりシャッターレリーズのタイミングを決定し、所望の静止画を記録媒体に記録することができる。

【0003】

【発明が解決しようとする課題】 ところが従来の表示装置は、撮像素子から出力される画素信号に所定の信号処理を施して動画して表示するように構成されており、1画面における画素数は静止画を記録媒体に記録する時と同じである。したがって、表示装置の動作のために記録時と同等の消費電力を必要とし、電源であるバッテリの寿命が短くなるという問題があった。

【0004】 本発明は以上の問題点を解決するものであり、ファインダとして使用される表示装置による動画の表示における消費電力を削減することを目的としている。

【0005】

【課題を解決するための手段】 本発明に係る電子スチルカメラのモニタ制御装置は、撮像素子から出力される画素信号を動画として画面に表示するモニタスルーモードにより作動する表示装置と、静止画および動画の1画面における画素数を制御する画像制御手段とを備え、この画像制御手段は、モニタスルーモード時の画素数を記録媒体に記録する時の画素数よりも少なくすることを特徴としている。

【0006】 画像制御手段は例えば、一定の周期でクロ

ック信号を発生するクロック発生回路と、このクロック発生回路から出力されるクロック信号よりも少ないパルス信号に基づいて、撮像素子から出力される画素信号の一部をサンプルホールドしてA/D変換する画素信号処理手段とを備える。

【0007】 画素信号処理手段はクロック信号の一部のみを通過させるパルスゲート回路を備えていてもよい。この構成において好ましくは、パルスゲート回路のゲート間隔は、撮像素子から読み出される画素信号により形成される画像の空間周波数の帯域が表示装置により表示可能な画像の空間周波数の帯域よりも低くならない程度の大きさである。画素信号処理手段は、クロック信号を分周することにより、このクロック信号よりも低周波数のパルス信号を発生する分周回路を備えていてもよい。この構成において好ましくは、分周回路の分周数は、撮像素子から読み出される画素信号により形成される画像の空間周波数の帯域が表示装置により表示可能な画像の空間周波数の帯域よりも低くならない程度の大きさである。

【0008】 表示装置は例えば液晶表示素子を有し、液晶表示素子の表示ドット数は、液晶表示素子により表示

可能な画像の空間周波数が撮像素子により撮像可能な最も高い空間周波数よりも低くなるように設定されている。

【0009】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。図1は本発明の第1の実施形態であるモニタ制御装置を備えた電子スチルカメラSVのブロック図である。

【0010】システム制御回路10はマイクロコンピュータであり、電子スチルカメラSVの全体の制御を行う。この電子スチルカメラSVはモニタスルーモードと記録モードにより動作可能である。モニタスルーモードでは、撮像素子を介して得られた動画が液晶表示素子によってリアルタイムで表示され、記録モードでは、静止画がメモリカード等の記録媒体に記録される。

【0011】撮影レンズ等から成る光学ブロック11を通過した光線は、CCD(固体撮像素子)12の受光面に導かれ、これによりCCD12の受光面を構成するフォトダイオードには被写体像に対応した画素信号が発生する。CCD12の受光面には補色市松カラーフィルタが設けられ、すなわちCCD12から、マゼンタ、グリーン、イエローおよびシアンに対応した画素信号が输出される。

【0012】CCD12はCCDドライバ13によって駆動され、CCDドライバ13は第1のクロック発生回路14から一定の周期で出力されるクロック信号に基づいて作動する。すなわち、このクロック信号に同期して、CCD12から画素信号が输出され、相間二重サンプリング・サンプルホールド回路15に入力される。

【0013】画素信号はCDS回路15において、リセット雑音の除去等の所定の信号処理を施され、またサンプルホールドされてA/D変換器16に出力される。CDS回路15はパルスゲート回路17から出力されるサンプルホールド(S/H)パルス信号に応じて信号処理を行う。S/Hパルス信号は、記録モードでは、クロック発生回路14から出力されるパルス信号に同期しているが、モニタスルーモードでは、クロック発生回路14から出力されるパルス信号の一部のみを通過させることにより発生する。A/D変換器16は分周回路18から出力されるA/Dクロック信号に応じてA/D変換を行う。A/Dクロック信号は、記録モードでは、クロック発生回路14から出力されるパルス信号に同期しているが、モニタスルーモードでは、クロック発生回路14から出力されるパルス信号を分周することにより得られ、このパルス信号よりも低周波数のパルス信号である。

【0014】このようにCDS回路15、A/D変換器16、パルスゲート回路17および分周回路18は、モニタスルーモードにおいて、クロック発生回路14から出力されるクロック信号よりも少ないパルス信号に基づいて、CCD12から出力される画素信号の一部をサン

ブルホールドしてA/D変換する画素信号処理手段を構成する。また、この画素信号処理手段とクロック発生回路14は、記録モードとモニタスルーモードにおいて、静止画および動画の1画面における画素数を制御する画像制御手段を構成する。

【0015】A/D変換器16においてデジタル信号に変換された画素信号は、画像メモリ19に格納される。画像メモリ19は例えば1フィールド分の画素信号を格納できる記憶容量を有している。

【0016】画像メモリ19から読み出された画素信号は映像信号処理(DSP)回路21に入力され、補色・原色変換、ホワイトバランス、ガンマ処理等の処理を施されてR信号、G信号およびB信号の原色信号に変換される。DSP回路21における信号処理は、分周回路18から出力されるDSPクロック信号に応じて実行され、このDSPクロック信号はA/Dクロック信号に対応して出力される。

【0017】DSP回路21から出力された原色信号はインターフェイス(I/F)回路22に入力され、メモリカード23に記録するための、あるいはこの電子スチルカメラSVの外部に設けられたコンピュータ24において処理するためのフォーマットに変換される。メモリカード23はカードコネクタ25に着脱可能であり、コンピュータ24は外部コネクタ26に着脱可能である。すなわちI/F回路22から出力された原色信号は、コネクタ25、26を介してメモリカード23あるいはコンピュータ24に転送される。記録モードでは、静止画がメモリカード23等に記録され、一方コンピュータ24において処理された信号は、メモリカード23あるいは

30 ハードディスク27に記録可能である。

【0018】またDSP回路21から出力された原色信号は、D/A変換器31においてアナログ信号に変換される。アナログの原色信号はモニタドライバ32において、例えばNTSC方式の信号に変換され、ビデオ出力コネクタ34を介して、外部に設けられたテレビジョン33に出力される。またアナログの原色信号は、LCDドライバ35を介して液晶表示素子36に出力される。液晶表示素子36はモニタスルーモードにおいて作動し、CCD12から出力される動画をリアルタイムで画面に表示する。LCDドライバ35は、第2のクロック発生回路37から一定の周期で出力されるクロック信号に基づいて動作し、これにより所定の画質の動画が液晶表示素子36に表示される。なお本実施形態において、液晶表示素子の1画面当りのドット数は、この液晶表示素子により表示可能な画像の空間周波数がCCD12により撮像可能な最も高い空間周波数よりも低くなるように設定されている。

【0019】第1および第2のクロック発生回路14、37はシステム制御回路10から出力される指令信号に従って動作し、所定の周波数のクロック信号を出力す

る。

【0020】システム制御回路10には操作部38が接続され、操作部38には、レリーズボタン、あるいはモニタスルーモードと記録モードの設定を行うための切替スイッチ等が設けられている。レリーズボタンを半押しすることにより、測光・測距動作が行われ、全押しすることにより、映像信号のメモリカード23への記録動作が行われる。

【0021】図2は、CCD12の受光面上に設けられた補色市松カラーフィルタ41の各カラーフィルタ要素の配列を示すものである。このカラーフィルタ41では、マゼンタ(Mg)、グリーン(G)、イエロー(Ye)およびシアン(Cy)を透過させる各カラーフィルタ要素が規則的に配置されている。すなわち、例えば破線C1により囲まれる、水平方向および垂直方向にそれぞれ2画素ずつ並べて成る計4画素には、Gの他に、補色の異なる分光特性を有するMg、YeおよびCyの3画素が設けられている。

【0022】CCD12において発生した画素信号は、図4を参照して述べるように、いわゆる2行同時読出方式によってCCD12から読み出される。静止画をメモリカード23に記録する記録モードでは、全ての画素信号がCCD12から読み出されるが、液晶表示素子36をファインダとして使用するモニタスルーモードでは、図3に示すように、CCD12によって得られる画像の空間周波数の帯域B1の大きさと比較し、液晶表示素子36によって表示可能な空間周波数の帯域B2は約1/2である。したがって、CCD12から出力される画像信号の約半分が間引かれる。

【0023】図4は、CCD12から2行同時読出方式によって出力される画素信号を示している。図において縦方向に並ぶMg1とYe1の画素信号は、相互に加算されてCCD12から出力され、同様に、縦方向に並ぶG1とCy1の画素信号も相互に加算されてCCD12から出力される。第1の行H1において、MgとGの画素信号のうち奇数番目の信号(符号J1)はCCD12から読み出されるが、偶数番目の信号(符号J2)は間引かれ、読み出されない。同様に、第2の行H2において、YeとCyの画素信号のうち奇数番目の信号(符号K1)はCCD12から読み出されるが、偶数番目の信号(符号K2)は読み出されない。

【0024】図5は、モニタスルーモードと記録モードにおける、各信号を示すタイミングチャートである。

【0025】CCD12からは、クロック発生回路14から出力されるクロック信号に同期して、第1の行のMg1と第2の行のYe1とが加算されて出力され、次いで第1の行のG1と第2の行のCy1とが加算されて出力される。以下同様にして、Mg2とYe2の加算信号、G2とCy2の加算信号、Mg3とYe3の加算信号、G3とCy3の加算信号、…の順に出力される。

【0026】パルスゲート回路17においてS/Hパルス信号は、記録モードでは、クロック発生回路14から出力されるパルス信号に同期して、時刻t₁、t₂、t₃、t₄…において、等間隔に出力されるが、モニタスルーモードでは、時刻t₅、t₆、t₇、t₈…において発生するS/Hパルス信号は間引かれ、時刻t₁、t₂、t₃、t₄…において発生するS/Hパルス信号のみが出力される。

【0027】CDS回路15ではS/Hパルス信号の立ち上がりによって、その時CCD12から入力された画素信号がサンプルされ、S/Hパルス信号の立ち下がりでホールドされる。すなわちモニタスルーモードでは、時刻t₁と時刻t₂の間はMg1とYe1の加算信号がサンプルホールドされ、時刻t₃と時刻t₄の間はG1とCy1の加算信号がサンプルホールドされる。また時刻t₅と時刻t₆の間はMg3とYe3の加算信号がサンプルホールドされ、時刻t₇と時刻t₈の間はG3とCy3の加算信号がサンプルホールドされる。

【0028】CDS回路15から出力されるMg1、Ye1等の画素信号は、A/D変換器16において、A/Dクロック信号の立ち上がりに同期してA/D変換される。A/Dクロック信号は、記録モードでは、符号S1により示すように時刻t₁、t₂、t₃、t₄…の直後に立ち上がるが、モニタスルーモードでは、符号S2により示すように時刻t₁、t₂、t₃、t₄…の直後に立ち上がる。すなわちA/Dクロック信号は、記録モードではクロック発生回路14のパルス信号に対応して出力され、モニタスルーモードでは、クロック発生回路14のパルス信号の1/2の周波数を有しており、このタイミングによりMg1とYe1の加算信号、G1とCy1の加算信号、Mg3とYe3の加算信号、G3とCy3の加算信号…がA/D変換される。なおMg1とYe1の加算信号は時刻t₁の後、A/D変換器16から出力され、G1とCy1の加算信号は時刻t₂の後、A/D変換器16から出力される。

【0029】DSP回路21では、分周回路18から出力されるDSPクロック信号に同期して、補色・原色変換等の処理が行われる。DSPクロック信号は、記録モードでは、符号S3により示すようにA/Dクロック信号S1に応じて立ち上がるが、モニタスルーモードでは、符号S4により示すようにA/Dクロック信号S2に応じて立ち上がる。すなわちDSPクロック信号の出力タイミングはA/Dクロック信号に対応しており、モニタスルーモードと記録モードのいずれであっても、DSP回路21ではA/D変換に対応して処理が行われる。

【0030】このように本実施形態では、記録モード時、CCD12から出力される全ての画素信号が読み出され、DSP回路21等において所定の処理を施されてメモリカード23に静止画として記録されるが、モニタ

スルーモード時、CCD12から出力される全ての画素信号がCDS15によって読み出されるのではなく、約半分の画素信号は間引かれ、CDS15によって読み出されない。すなわちモニタスルーモード時の動画の1画面当りの画素数は、メモリカード23に記録される静止画の1画面の画素数よりも少ない。

【0031】したがってモニタスルーモード時、A/D変換器16とDSP回路21における信号処理の回数が記録モード時よりも少なくなり、これにより消費電力が減少し、電子スチルカメラSVの電源であるバッテリの

$$52.7 \mu\text{sec} / (1/fx \times 2) \times 3/4 = x \times 3/4 = 140 \dots (1)$$

ただし、 $52.7 \mu\text{sec}$ は1水平走査期間の時間で、 fx はサンプリング周波数で 1.77MHz である。一方CCD12の有効水平画素数は768であり、液晶表示素子36の約4倍である。したがって、DSP回路21等の信号処理系に起因する信号劣化を考慮すると、CCD12から出力される画素信号をCDS回路15によって $1/3$ まで間引いても、液晶表示素子36における表示画像の画質は、CCD12により得られる、画素信号をCDS回路15で間引かなかった時の表示画像の画質と同等である。

【0033】上述したように、画素信号の間引きはパルスゲート回路17の作用、すなわちパルスゲート回路17のゲート間隔の制御に基づいて行われ、また、分周回路18の分周数は、A/D変換器16のA/D変換とDSP回路21の信号処理のタイミングがCDS回路15の出力タイミングに合致するように制御される。すなわちパルスゲート回路17のゲート間隔と分周回路18の分周数は、CCD12から読み出される画素信号によって形成される画像の空間周波数の帯域が液晶表示素子36により表示される画像の空間周波数の帯域よりも低くならない程度の大きさである。

【0034】次に図6と図7を参照して、第2の実施形態を説明する。第2の実施形態では、CCD12の受光面上に設けられるカラーフィルタ42は、図6に示すような配列のカラーフィルタ要素を有している。このカラーフィルタ42はストライプ型であり、レッド(R)、グリーン(G)およびブルー(B)の各フィルタ要素がこの順に配設されている。図において、R、GおよびBの各フィルタ要素の下側には、それぞれR、GおよびBの各フィルタ要素が設けられている。すなわちRのフィルタ要素の列とGのフィルタ要素の列とBのフィルタ要素の列とが、この順に設けられている。

【0035】図7は、モニタスルーモードと記録モードにおける、各信号を示すタイミングチャートである。

【0036】CCD12は、画素信号が1行ずつ出力される構成を有し、R、G、Bの画素信号が交互にCCD12から出力される。これらの信号をここではR1、G1、B1、R2、G2、B2、R3、G3、B3…とする。

寿命が長くなる。

【0032】ここでCCD12の1画面当りの画素数が41万であり、NTSC方式によって画素信号が読み出され、また液晶表示素子36の画面の1本の水平線のドット数が280であり、ドット配列がR、G、Bのデルタ配列であると仮定する。この場合、液晶表示素子36の水平解像度は、 $3/4 \times 2 / 3 \times 280 = 140$ 本となり(2/3を乗じているのは、デルタ配列であるため)、140本を得るのに必要なCCD12の有効水平画素数xは下記の式(1)より187となる。

【0037】パルスゲート回路17において第1のS/Hパルス信号は、記録モードでは、クロック発生回路14のパルス信号に同期して、時刻 $t_1, t_2, t_3, t_4, \dots$ において出力されるが、モニタスルーモードでは、時刻 $t_1, t_2, t_3, t_4, t_5, t_6, t_7, \dots$ において出力される。すなわちモニタスルーモードでは、時刻 t_1, t_2, t_3 においてS/H信号は間引かれる。

【0038】CDS回路15において、モニタスルーモード時、時刻 t_1 と時刻 t_2 の間はR1、時刻 t_2 と時刻 t_3 の間はG1、時刻 t_3 と時刻 t_4 の間はB1がサンプルホールドされ、出力される。同様に時刻 t_4 と時刻 t_5 の間はR3、時刻 t_5 と時刻 t_6 の間はG3、時刻 t_6 と時刻 t_7 の間はB3がサンプルホールドされ、出力される。

【0039】CDS回路15には、さらにサンプルホールド回路が設けられている。このサンプルホールド回路では、パルスゲート回路17から出力される第2のS/Hパルス信号に基づいてサンプルホールドが行われ、第2のS/Hパルス信号は、記録モードでは、時刻 $t_1', t_2', t_3', t_4', \dots$ において出力され、モニタスルーモードでは、時刻 $t_1', t_2', t_3', t_4', t_5', t_6', t_7', \dots$ において出力される。すなわちモニタスルーモードでは、時刻 t_1', t_2', t_3', t_4' において第2のS/H信号は間引かれる。なお、第2のS/Hパルス信号は第1のS/Hパルス信号の立下りに同期して立ち上がる。

【0040】CDS回路15において第1のS/Hパルス信号に従ってサンプルホールドされた画素信号(R1, G1, B1, R3, G3, B3, …)は、サンプルホールド回路においてサンプルホールドされ、モニタスルーモードでは、時刻 t_1' と時刻 t_2' の間はR1、時刻 t_2' と時刻 t_3' の間はG1、時刻 t_3' と時刻 t_4' の間はB1がCDS回路15から出力される。

【0041】CDS回路15から出力されるR1、G1およびB1等の画素信号は、A/D変換器16において、A/Dクロック信号の立ち上がりに同期してA/D変換される。A/Dクロック信号は、記録モードでは、符号T1により示すように時刻 $t_1', t_2', t_3', t_4', \dots$ の直後に立ち上がるが、モニタスルーモードでは、符号T2により示すように時刻 $t_1', t_2', t_3', t_4', \dots$ の直後に立ち上がる。すなわちA/Dクロック信号は、記録モ-

ドではクロック発生回路14のパルス信号に対応して出力され、モニタスルーモードでは、クロック発生回路14のパルス信号の1/2の周波数を有しており、このタイミングによりR1、G1、B1...がA/D変換される。

【0042】DSP回路21では、分周回路18から出力されるDSPクロック信号に同期して、ホワイトバランス、エッジ強調等の処理が行われる。DSPクロック信号は、符号T3およびT4により示すようにA/Dクロック信号T1、T2に対応して立ち上がる。すなわちDSPクロック信号の出力タイミングはA/Dクロック信号に対応しており、モニタスルーモードと記録モードのいずれであっても、DSP回路21ではA/D変換に対応して処理が行われる。

【0043】第2の実施形態によっても第1の実施形態と同様な効果が得られる。

[0044]

【発明の効果】以上のように本発明によれば、ファインダとして使用される表示装置による動画の表示における消費電力を削減し、電子スチルカメラの電源の寿命を長くすることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態であるモニタ制御装置を備えた電子スチルカメラのブロック図である。

【図2】第1の実施形態において、CCDの受光面上に設けられたカラーフィルタ要素の配列を示す図である。

【図3】CCDによって得られる画像の空間周波数の帯域と液晶表示素子によって表示可能な画像の空間周波数の帯域を示す図である。

【図4】CCDから出力される画素信号のうち、第1および第2の行を示す図である。

【図5】第1の実施形態において、モニタスルーモードと記録モードにおける、各信号を示すタイミングチャートである。

【図6】第2の実施形態において、CCDの受光面上に設けられたカラーフィルタ要素の配列を示す図である。

【図7】第2の実施形態において、モニタスルーモードと記録モードにおける、各信号を示すタイミングチャートである。

【符号の説明】

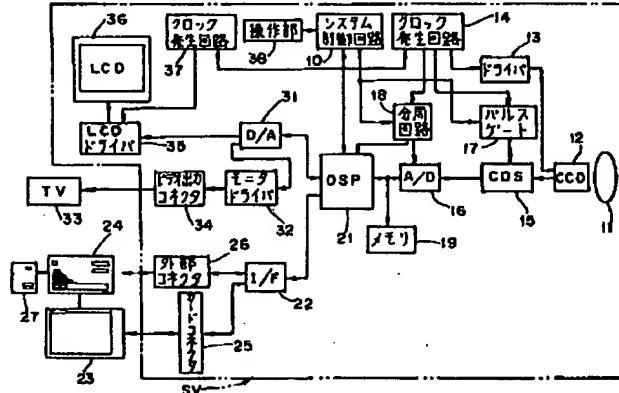
12 CCD

23 メモリカード

3.6 液晶表示索子

SV 電子スチルカメラ

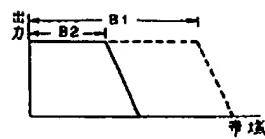
〔四〕



〔図2〕

C1						
Mg	G	Mg	G	Mg	G	Mg
Ye	Cy	Ye	Cy	Ye	Cy	Ye
G	Mg	G	Mg	G	Mg	G
Ye	Cy	Ye	Cy	Ye	Cy	Ye
Mg	G	Mg	G	Mg	G	Mg
:	1	:	1	:	1	:

〔圖3〕



[图4]

J1	J2	J1	J2						
Mg1	G1	Mg2	G2	Mg3	G3	Mg4	G4	...	→ H1
Y ₁	C ₁	Y ₂	C ₂	Y ₃	C ₃	Y ₄	C ₄	...	→ H2

[図5]

CCO出力

S/Hトリガス
信号

COS出力

A/D出力

記憶A/D
出力

A/D出力

DSP出力

記憶DSP
出力

CCO出力

S/Hトリガス
信号

COS出力

A/D出力

記憶A/D
出力

A/D出力

DSP出力

記憶DSP
出力

[図6]

R	G	B	R	G	B	...
R	G	B	R	G	B	...
R	G	B	R	G	B	...
R	G	B	R	G	B	...
R	G	B	R	G	B	...
I	I	I	I	I	I	I

〔四七〕

Figure 2: Timing diagram showing the relationship between CCD output, CDS output, S/H output, A/D output, and DSP output. The diagram includes timing markers t_1 through t_9 and labels for various stages: R1, G1, B1, R2, G2, B2, R3, G3, B3, and T1, T2, T3, T4.